

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 2 7 日
Date of Application:

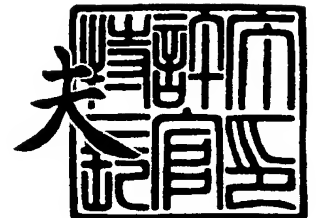
出 願 番 号 特 願 2 0 0 3 - 3 9 7 7 6 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 9 7 7 6 5]

出 願 人 沖電気工業株式会社
Applicant(s):

2 0 0 4 年 3 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 CA000824
【提出日】 平成15年11月27日
【あて先】 特許庁長官 殿
【国際特許分類】 H03K 17/22
【発明者】
 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 【氏名】 市川 武志
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【代理人】
 【識別番号】 100079991
 【弁理士】
 【氏名又は名称】 香取 孝雄
 【電話番号】 03-3508-0955
【手数料の表示】
 【予納台帳番号】 006895
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9001067

【書類名】 特許請求の範囲

【請求項 1】

所望の機能を実行する最前段から最後段までの複数のモジュールを含み、該複数のモジュールが配置された半導体集積回路内の各モジュールを初期化するリセット回路において、該回路は、

前記複数のモジュールを初期化するためのリセット信号を入力する入力手段と、

該入力手段に接続され、前記リセット信号に基づいてリセットパルスを生成するパルス発生手段とを含み、前記複数のモジュールは、

前記パルス発生手段の出力に接続され、前記リセットパルスを入力して初期化される最前段に配置した第 1 のモジュールと、次段に配置される第 2 のモジュールとを含み、

前記第 1 のモジュールは、前記第 2 のモジュールを初期化する第 1 のリセット信号を生成し、前記第 1 のモジュール内の初期化後に、前記第 2 のモジュールに前記第 1 のリセット信号を出力する第 1 の制御手段を有し、

前記第 2 のモジュールは、前記第 1 のモジュールの出力に接続され、該第 1 のモジュールから出力される前記第 1 のリセット信号を入力して初期化され、前記第 1 のモジュールからの第 1 のリセット信号に基づいて、さらに次段に配置されるモジュールを初期化する第 2 のリセット信号を生成し、前記第 2 のモジュール内の初期化後に、前記第 2 のリセット信号を出力する第 2 の制御手段を有すること特徴とするリセット回路。

【請求項 2】

請求項 1 に記載のリセット回路において、前記第 1 のモジュールは、前記リセットパルスに応動して初期化される第 1 のレジスタを含み、前記第 2 のモジュールは、前記第 1 のリセット信号に応動して初期化される第 2 のレジスタを含むことを特徴とするリセット回路。

【請求項 3】

請求項 1 に記載のリセット回路において、前記パルス発生手段は、前記入力手段に入力したリセット信号を所定時間遅延した時間に対応するパルス幅の前記リセットパルスを生成することを特徴とするリセット回路。

【請求項 4】

請求項 1 に記載のリセット回路において、前記第 1 の制御手段は、

前記第 1 のモジュール内から複数の初期化通知を入力して、該第 1 のモジュール内の初期化終了を検出する第 1 の検出手段と、

前記第 1 の検出手段の検出結果に基づいて前記第 1 のリセット信号を生成する手段とを含むことを特徴とするリセット回路。

【請求項 5】

請求項 1 に記載のリセット回路において、前記第 2 の制御手段は、

前記第 2 のモジュール内から複数の初期化通知を入力して、該第 2 のモジュール内の初期化終了を検出する第 2 の検出手段と、

前記第 2 の検出手段の検出結果に基づいて前記第 2 のリセット信号を生成する手段とを含むことを特徴とするリセット回路。

【請求項 6】

複数のモジュールを含み、該複数のモジュールが配置された半導体集積回路内の各モジュールを初期化するリセット回路において、該回路は、

前記複数のモジュールを初期化するためのリセット信号を入力するリセット入力手段と、

クロック信号を入力するクロック入力手段と、

前記リセット入力手段に接続され、前記リセット信号を検出すると、最後段のモジュールに対する最終遅延リセット信号が入力されるまでの期間、前記リセット信号に応じた制御信号を出力する制御手段と、

前記クロック入力手段に接続され、入力信号を前記クロック信号に同期して遅延し、該遅延して生成した遅延リセット信号をそれぞれ出力する複数の遅延手段とを含み、

前記複数のモジュールは、前記複数の遅延手段に対応してそれぞれ接続され、前記クロック信号に同期して作動し、前記制御信号と前記遅延リセット信号とに基づいて前記クロック信号に同期してそれぞれ初期化され、

前記複数の遅延手段のうち、第1段目に配置される第1の遅延手段は、前記制御手段の制御信号を前記入力信号として入力し、以降の段に配置される第2の遅延手段は、それぞれ、前段に配置された遅延手段から出力される前記遅延リセット信号をそれぞれ前記入力信号として入力することを特徴とするリセット回路。

【請求項7】

請求項6に記載のリセット回路において、前記複数の遅延手段のうち、最終段に配置される遅延手段は、前記遅延リセット信号を前記制御手段に出力することを特徴とするリセット回路。

【請求項8】

所望の機能を実行する最前段から最後段までの複数の非同期モジュールと、複数の同期モジュールとを含み、該複数の非同期モジュールと該複数の同期モジュールとが配置された半導体集積回路内の各モジュールを初期化するリセット回路において、該回路は、

前記複数の非同期モジュールを初期化するためのリセット信号を入力する入力手段と、
該入力手段に接続され、前記リセット信号に基づいてリセットパルスを生成するパルス発生手段とを含み、前記複数の非同期モジュールは、

前記パルス発生手段の出力に接続され、前記リセットパルスを入力して初期化される最前段に配置した第1の非同期モジュールと、次段に配置される第2の非同期モジュールとを含み、

前記第1の非同期モジュールは、前記第2の非同期モジュールを初期化する第1のリセット信号を生成し、前記第1の非同期モジュール内の初期化後に、前記第2の非同期モジュールに前記第1のリセット信号を出力する第1の制御手段を有し、

前記第1の非同期モジュールは、前記第1の非同期モジュールの出力に接続され、該第1の非同期モジュールから出力される前記第1のリセット信号を入力して初期化され、前記第1の非同期モジュールからの第1のリセット信号に基づいて、さらに次段に配置される非同期モジュールを初期化する第2のリセット信号を生成し、前記第2の非同期モジュール内の初期化後に、前記第2のリセット信号を出力する第2の制御手段を有し、該リセット回路はさらに、

クロック信号を入力するクロック入力手段と、

前記第2の非同期モジュールに接続され、前記第2のリセット信号を検出すると、最後段の同期モジュールに対する最終遅延リセット信号が入力されるまでの期間、前記第2のリセット信号に応じた制御信号を出力する第3の制御手段と、

前記クロック入力手段に接続され、入力信号を前記クロック信号に同期して遅延し、該遅延して生成した遅延リセット信号をそれぞれ出力する複数の遅延手段とを含み、

前記複数の同期モジュールは、前記複数の遅延手段に対応してそれぞれ接続され、前記クロック信号に同期して作動し、前記制御信号と前記遅延リセット信号とに基づいて前記クロック信号に同期してそれぞれ初期化され、

前記複数の遅延手段のうち、第1段目に配置される第1の遅延手段は、前記第3の制御手段から出力される前記制御信号を前記入力信号として入力し、以降の段に配置される第2の遅延手段は、それぞれ、前段に配置された遅延手段から出力される前記遅延リセット信号をそれぞれ前記入力信号として入力することを特徴とするリセット回路。

【書類名】明細書

【発明の名称】リセット回路

【技術分野】

【0001】

本発明は、半導体集積回路を初期化するリセット回路に係り、とくに大規模集積回路内に配置した複数のモジュールを初期化するリセット回路に関するものである。

【背景技術】

【0002】

近年、半導体集積回路は、大規模集積(LSI)化されて並列動作を行う複数のモジュールを含むように構成されている。このような大規模集積回路(LSI circuit、以下、LSIと呼ぶ)には、これら複数のモジュールを初期化するためのリセット信号を入力するリセット入力端子を備えられ、LSI外部からリセット入力端子に与えられるリセット信号をLSI内の各モジュールにそれぞれ配置されているレジスタに入力し、各レジスタはリセット信号の立ち上がりまたは立ち下がりを検出してリセットされて初期値がセットされる。たとえば電源投入直後に、“1”(Highレベル)から“0”(Lowレベル)になるリセット信号が与えられるとLSI内の複数のモジュールが初期化される。次いでリセット信号が“1”になるとモジュールのリセットが解除されて通常状態になる。

【0003】

また、各モジュールに与えられるクロック信号に同期して各モジュールが機能するLSI構成の場合に、LSI外部からのリセット信号が各モジュールに与えられると各モジュールは、クロック信号の立ち上がりまたは立ち下がりに同期してそれぞれが初期化される。

【0004】

この場合、各モジュール内部には、たとえば、それぞれデータ入力とリセット入力との論理積を演算する演算素子と、各種値を記憶する記憶素子(レジスタ)とが配置され、演算素子の出力がレジスタへ入力され、レジスタはクロック信号の立ち上がりに同期して、リセット信号とデータ入力との論理積を取り込み出力する。よってリセット入力に“0”が入力されるとクロック信号の立ち上がりに同期して“0”がレジスタに取り込まれ初期化が完了する。

【0005】

リセット入力に“1”のとき各モジュールは不定を出力し、リセット入力に“0”になるとクロック信号の立ち上がりに同期して各モジュールが初期化される。その後、リセット信号が“1”になるとクロック信号の立ち上がりに同期してモジュールのリセットが解除されて通常状態になる。

【0006】

【特許文献1】特開平7-168652号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上述のような複数のモジュールを有するLSIでは、リセット信号が“0”になるタイミングにてLSI内の全モジュールにそれぞれ配置されたレジスタがそれぞれ初期化されて、この初期化動作に伴って、LSIには一時的に大電流が流れるという問題があった。またリセット信号が“0”から“1”に変化し、リセットが解除されるまでレジスタにリセット信号が入り続けている期間は電流が流れ続けるため、電力を消費し、たとえばワイヤレスリモートコントローラ等のような電池によって駆動される装置にLSIが組み込まれる場合、電池寿命に多大な影響を及ぼすという問題があった。

【0008】

また、従来の同期リセット回路では、クロック信号に同期してLSI内部すべてのレジスタが一度に初期化されるため、瞬間的に大電流が流れて消費最大電流値が大きくなり、また周辺回路の動作に影響を与えるという問題があった。この場合も同様に電池駆動の装置に使用される電池寿命に影響を及ぼす。

【0009】

本発明はこのような従来技術の欠点を解消し、リセット時の消費電流を低減させるリセット回路を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明は上述の課題を解決するために、所望の機能を実行する最前段から最後段までの複数のモジュールを含み、複数のモジュールが配置された半導体集積回路内の各モジュールを初期化するリセット回路において、この回路は、複数のモジュールを初期化するためのリセット信号を入力する入力手段と、入力手段に接続され、リセット信号に基づいてリセットパルスを生成するパルス発生手段とを含み、複数のモジュールは、パルス発生手段の出力に接続され、リセットパルスを入力して初期化される最前段に配置した第1のモジュールと、次段に配置される第2のモジュールとを含み、第1のモジュールは、第2のモジュールを初期化する第1のリセット信号を生成し、第1のモジュール内の初期化後に、第2のモジュールに第1のリセット信号を出力する第1の制御手段を有し、第2のモジュールは、第1のモジュールの出力に接続され、第1のモジュールから出力される第1のリセット信号を入力して初期化され、第1のモジュールからの第1のリセット信号に基づいて、さらに次段に配置されるモジュールを初期化する第2のリセット信号を生成し、第2のモジュール内の初期化後に、第2のリセット信号を出力する第2の制御手段を有すること特徴とする。

【0011】

この場合、第1のモジュールは、リセットパルスに応動して初期化される第1のレジスタを含み、第2のモジュールは、第1のリセット信号に応動して初期化される第2のレジスタを含むとよく、また、パルス発生手段は、入力手段に入力したリセット信号を所定時間遅延した時間に対応するパルス幅のリセットパルスを生成するとよい。

【0012】

また、第1の制御手段は、第1のモジュール内から複数の初期化通知を入力して、第1のモジュール内の初期化終了を検出する第1の検出手段と、第1の検出手段の検出結果に基づいて第1のリセット信号を生成する手段とを含むとよく、また、第2の制御手段は、第2のモジュール内から複数の初期化通知を入力して、第2のモジュール内の初期化終了を検出する第2の検出手段と、第2の検出手段の検出結果に基づいて第2のリセット信号を生成する手段とを含むとよい。

【0013】

また、本発明は上述の課題を解決するために、複数のモジュールを含み、複数のモジュールが配置された半導体集積回路内の各モジュールを初期化するリセット回路において、この回路は、複数のモジュールを初期化するためのリセット信号を入力するリセット入力手段と、クロック信号を入力するクロック入力手段と、リセット入力手段に接続され、リセット信号を検出すると、最後段のモジュールに対する最終遅延リセット信号が入力されるまでの期間、リセット信号に応じた制御信号を出力する制御手段と、クロック入力手段に接続され、入力信号をクロック信号に同期して遅延し、遅延して生成した遅延リセット信号をそれぞれ出力する複数の遅延手段とを含み、複数のモジュールは、複数の遅延手段に対応してそれぞれ接続され、クロック信号に同期して作動し、制御信号と遅延リセット信号とに基づいてクロック信号に同期してそれぞれ初期化され、複数の遅延手段のうち、第1段目に配置される第1の遅延手段は、制御手段の制御信号を入力信号として入力し、以降の段に配置される第2の遅延手段は、それぞれ、前段に配置された遅延手段から出力される遅延リセット信号をそれぞれ入力信号として入力すること特徴とする。

【0014】

この場合、複数の遅延手段のうち、最終段に配置される遅延手段は、遅延リセット信号を制御手段に出力するとよい。

【0015】

また、本発明は上述の課題を解決するために、所望の機能を実行する最前段から最後段

までの複数の非同期モジュールと、複数の同期モジュールとを含み、複数の非同期モジュールと複数の同期モジュールとが配置された半導体集積回路内の各モジュールを初期化するリセット回路において、この回路は、複数の非同期モジュールを初期化するためのリセット信号を入力する入力手段と、入力手段に接続され、リセット信号に基づいてリセットパルスを生成するパルス発生手段とを含み、複数の非同期モジュールは、パルス発生手段の出力に接続され、リセットパルスを入力して初期化される最前段に配置した第1の非同期モジュールと、次段に配置される第2の非同期モジュールとを含み、第1の非同期モジュールは、第2の非同期モジュールを初期化する第1のリセット信号を生成し、第1の非同期モジュール内の初期化後に、第2の非同期モジュールに第1のリセット信号を出力する第1の制御手段を有し、第1の非同期モジュールは、第1の非同期モジュールの出力に接続され、第1の非同期モジュールから出力される第1のリセット信号を入力して初期化され、第1の非同期モジュールからの第1のリセット信号に基づいて、さらに次段に配置される非同期モジュールを初期化する第2のリセット信号を生成し、第2の非同期モジュール内の初期化後に、第2のリセット信号を出力する第2の制御手段を有し、リセット回路はさらに、クロック信号を入力するクロック入力手段と、第2の非同期モジュールに接続され、第2のリセット信号を検出すると、最後段の同期モジュールに対する最終遅延リセット信号が入力されるまでの期間、第2のリセット信号に応じた制御信号を出力する第3の制御手段と、クロック入力手段に接続され、入力信号をクロック信号に同期して遅延し、遅延して生成した遅延リセット信号をそれぞれ出力する複数の遅延手段とを含み、複数の同期モジュールは、複数の遅延手段に対応してそれぞれ接続され、クロック信号に同期して作動し、制御信号と遅延リセット信号とに基づいてクロック信号に同期してそれぞれ初期化され、複数の遅延手段のうち、第1段目に配置される第1の遅延手段は、第3の制御手段から出力される制御信号を入力信号として入力し、以降の段に配置される第2の遅延手段は、それぞれ、前段に配置された遅延手段から出力される遅延リセット信号をそれぞれ入力信号として入力することを特徴とする。

【発明の効果】

【0016】

本発明によれば、LSI内の複数のモジュールに対するリセットタイミングをずらすように構成しているので、一度に初期化されるレジスタ数を大幅に少なくすることができる。この結果、リセット信号投入時のピーク消費電流を低減することができ、各モジュールに対するリセット時における消費最大電流値を低減することができる。このため周辺回路への影響が緩和されて、さらに電力消費が低減されるため、たとえば電池駆動時における電池寿命を長くすることが期待できる。

【0017】

さらに、外部から入力されるリセット信号から各モジュールに対するリセットパルスを作成するパルス発生手段の出力をリセットパルスとして各モジュール内のレジスタに供給するように構成した場合には、レジスタにリセットパルスが入力される時間が短くすることができるためリセット中に定常的に流れる電流値を低減することができる。この場合、また、たとえばリセット入力を"1"から"0"、さらに"0"から"1"へと意識的に入力を変化させなくても、内部回路に対しリセットパルスを発生させることができ、リセット時の消費電流を容易に低減できる。

【0018】

また、リセット信号を検出すると、最後段のモジュールから最終遅延リセット信号が入力されるまでの期間に制御信号を出力する制御手段を備えることにより、リセット信号の入力時点でクロック信号が生成されていない場合であっても、クロック信号の生成後に自動的に同期リセットを順次各モジュールにて実行することができる。

【0019】

また、非同期モジュールと同期モジュールとが混在するLSIにおいてもモジュール毎に順次初期化動作を行うことができ、リセットタイミングを分散して最大消費電流を大幅に低減することができる。

【発明を実施するための最良の形態】

【0020】

次に添付図面を参照して本発明によるリセット回路の実施例を詳細に説明する。図1を参照すると、同図には、大規模集積回路(LSI)内に配置される複数のモジュール10, 12, ..., 14をクロック信号とは非同期に初期化するリセット回路20の実施例が示されている。なお、以下の説明において、本発明に直接関係のない部分は、図示およびその説明を省略し、また、信号の参照符号はその現われる接続線の参照符号で表す。

【0021】

図示するようにリセット回路20は、入力端子(RSTN)に接続されたパルス発生回路22と、複数のモジュール10~14内に備えられた制御回路30, 32, ..., 34と、各モジュール10~14内に備えられ、入力に応じてリセット動作を行うレジスタ40, 42, ..., 44とを含む。入力端子(RSTN)には、各モジュール10~14を初期化するためのリセット信号がLSI外部から入力される。

【0022】

各モジュール10~14はそれぞれLSIの機能ブロックであり、モジュール内に配置される複数の回路部に対応して必要なレジスタがそれぞれ備えられる。レジスタ40, 42, ..., 44は、各種値を記憶する記憶回路であり、たとえばモジュール10には複数のレジスタ40が備えられている。

【0023】

パルス発生回路22は、通常時"1"(Highレベル)を出力し、入力端子RSTNへの"1"入力(立ち上がり)を検出すると、その通常時出力"1"を一定時間出力"0"(Lowレベル)にした後、出力"1"に復帰するリセットパルス信号(PRSTN)を出力50に出力する。パルス発生回路22の出力50は、LSI内の各モジュール10~14にそれぞれ接続されている。

【0024】

パルス発生回路22の内部構成例を図2に示す。パルス発生回路22は、入力端子(RSTN)に入力されるリセット信号(RSTN)を反転する反転回路200と、リセット信号(RSTN)を一定時間遅延させる遅延回路202と、反転回路200の出力と遅延回路202の出力との論理和を演算して出力50に出力する論理回路204を含む。本構成例のパルス発生回路22は、通常時"1"を出力し、入力端子(RSTN)への"1"入力(立ち上がり)を検出すると、この立ち上がりに同期して出力"1"から一定時間"0"を出力し、その後、出力"1"に復帰するパルス幅のパルス信号をリセットパルス信号(PRSTN)として出力50に出力する。

【0025】

パルス発生回路22の他の構成例を図3に示す。図示するようにパルス発生回路300は、通常時"1"を出力し、入力端子(RSTN)への"0"入力(立ち下がり)を検出すると、出力"1"を一定時間出力"0"にした後、出力"1"に復帰するパルス幅のパルス信号をリセットパルス信号(PRSTN)として出力50に出力する。このパルス発生回路300は、入力端子(RSTN)に入力するリセット信号(RSTN)を反転する反転回路302と、反転回路302の出力を一定時間遅延させて出力する遅延回路304と、リセット信号(RSTN)と遅延回路304の出力との論理和を演算し、その演算結果であるリセットパルス信号(PRSTN)を出力50に出力する論理回路306とを含む。前述したパルス発生回路22に代えて、このパルス発生回路300を用いてもよい。

【0026】

図1に戻って、パルス発生回路22の出力50は、最前段のモジュール10内に備えられる複数のレジスタ40および制御回路30に接続されている。また、その出力50は、次段以降のモジュール12および14については、モジュール12および14内の制御回路32および34にそれぞれ接続されている。さらに、モジュール10内の制御回路30の出力60はモジュール12内に配置された複数のレジスタ42に接続され、モジュール12内の制御回路32が以降の段のモジュール内に配置された複数のレジスタに接続される。以下では制御回路32の出力62は、以降の段のモジュールとしてモジュール14内の複数のレジスタ44に接続されるものとして説明する。

【0027】

第1段目のモジュール10に配置された制御回路30は、パルス発生回路22の出力 (PRSTN) 50に接続され、次段のモジュール12に対するモジュールリセット信号 (MRSTN) 60を生成して出力する。また、第2段目以降のモジュールに配置された制御回路30, 34は、それぞれ前段のモジュール10および12に配置された制御回路30, 32から与えられるモジュールリセット信号 (MRSTN) 60, 62と、パルス発生回路22からのリセットパルス信号 (PRSTN) とを入力して、それぞれ後段のモジュール12, 14に対するモジュールリセット信号 (MRSTN) 62, 64を生成して出力する。これら制御回路30, 32, 34のモジュールリセット信号 (MRSTN) 出力 60, 62, 64は、それぞれ次段のモジュールに備えられて各種値を記憶するレジスタにそれぞれ接続され、各レジスタはそれぞれのモジュール内にて初期化される。

【0028】

ここでモジュール10内に配置された制御回路30の内部構成例を説明する。図4に示すように、制御回路30は、パルス発生回路22の出力 (PRSTN) 50に接続され、リセットパルス信号 (PRSTN) をプリセット入力 (RN) に入力して保持し、保持した値をクロック入力 (CK) への入力に応じて出力 (Q) 402に出力する保持回路400と、モジュール10内部に配置された複数の回路部 (不図示) から初期化が完了したことを示す初期化通知信号404を入力し、それらの論理積を出力408に出力して保持回路400のクロック入力 (CK) に与える論理回路410を含む。論理回路410は、モジュール内の初期化終了を検出する機能を有する。これら複数の回路部にはそれぞれレジスタ40が含まれる。

【0029】

保持回路400の出力 (Q) 402は、入力信号を一定時間遅延して出力する遅延回路412と、入力信号を反転して出力する反転回路414とにそれぞれ接続され、これら遅延回路412および反転回路414の各出力416, 418は、これら出力値の論理和を演算する論理回路420に接続されている。論理回路420の出力 (MRSTN) 60は制御回路30の出力60を構成し、図1に示す次段のモジュール12のレジスタ42に接続されている。

【0030】

モジュール12に備えられる制御回路32もリセットに関する構成については制御回路30と同様の構成でよく、制御回路23は、図5に示すように、パルス発生回路22の出力 (PRSTN) 50に接続される保持回路500と、モジュール12内からの初期化通知信号504を複数入力し、それらの論理積を出力508に出力して保持回路500のクロック入力 (CK) に与える論理回路510と、保持回路500の出力 (Q) 502を一定時間遅延して出力する遅延回路512と、同出力 (Q) 502を反転する反転回路514とに接続され、遅延回路512および反転回路514の各出力516, 518の論理和を演算する論理回路520を含む。この論理回路520の出力 (MRSTN) 62が制御回路32の出力62を構成し、この出力62は次段に配置されるたとえばモジュール14内の複数のレジスタ44に接続される。

【0031】

以上の構成でリセット回路20の動作を説明する。LSIの外部から入力される“0”から“1”へ変化するリセット信号 (RSTN) の立ち上がりがパルス発生回路22にて検出されると、パルス発生回路42は、この立ち上がりに同期し一定時間“0”を出力した後“1”に復帰するリセットパルス信号 (PRSTN) 50を出力する。このリセットパルス信号 (PRSTN) 50は、各モジュール10~14内の各制御回路30~34と、モジュール10内の複数のレジスタ40とにそれぞれ入力される。

【0032】

リセットパルス信号 (PRSTN) 50がレジスタ40に直接入力される第1段目モジュール10内に配置された制御回路30の動作を説明する。図6に示すように保持回路400は、パルス発生回路22から出力されたりセットパルス信号 (PRSTN) 50の出力“0”を入力して、保持回路400は初期化されて“0”を出力する。また、リセットパルス信号 (PRSTN) 50がレジスタ40に入力されるとモジュール10内部の各レジスタ40が順次初期化される。

【0033】

レジスタ40の初期化が完了すると初期化通知信号404をすべて入力した論理回路410がこれらの論理積“1”を出力する。保持回路400は論理回路410からの出力“1”を入力すると“1”

を出力402に出力する。保持回路400の出力402を遅延回路412は一定時間遅延出力し、反転回路414は出力402を反転出力する。論理回路420は遅延回路412の出力416と反転回路414の出力418との論理和をモジュールリセット信号(MRSTN)として出力60に出力する。このモジュールリセット信号(MRSTN)出力は次段のモジュールを初期化するリセットパルスである。

【 0 0 3 4 】

モジュールリセット信号(MRSTN) 60は、次段のモジュール12内の制御回路32に入力される。制御回路32内の保持回路500は、図 7 に示すように、パルス発生回路22からリセットパルス信号(PRSTN) 50の出力"0"が入力されると、保持回路500は初期化されて出力"0"を出力する。また、前段に配置された制御回路30からのモジュールリセット信号(MRSTN) 60が、モジュール12内の複数のレジスタ42に入力されて、モジュール12内部の各レジスタ42が順次初期化される。

【 0 0 3 5 】

各レジスタ42の初期化が完了すると初期化通知信号504を入力した論理回路510が出力"1"を出力する。保持回路500は論理回路510からの出力"1"を入力すると出力"1"を出力502に出力する。保持回路500の出力502を遅延回路512は一定時間遅延させ、反転回路514は出力502を反転する。論理回路520は遅延回路512の出力516と反転回路514の出力518との論理和をモジュールリセット信号(MRSTN)62として出力62に出力する。このモジュールリセット信号(MRSTN) 62は、次段以降のたとえばモジュール14内の制御回路34に入力されて、制御回路32と同様に制御回路34にて、さらに次段のモジュールに対するモジュールリセット信号(MRSTN)が生成される。

【 0 0 3 6 】

以上のようにして複数のモジュール10, 12, 14は、図 8 に示すように、パルス発生回路22から供給されるリセットパルス信号(PRSTN) 50、およびそれぞれ前段のモジュールに配置された制御回路30, 32から供給されるモジュールリセット信号(MRSTN) 62, 64からの"0"入力によって、一定期間に 1 モジュールが初期化されて、この 1 モジュール毎に以降のモジュールが順次初期化される。

【 0 0 3 7 】

以上、詳細に説明した通り、パルス発生回路22から出力されるリセットパルス信号(PRS TN) 50を各モジュールに入力するとともに、各モジュールのうち前段のモジュールにて生成したモジュールリセット信号(MRSTN) をそれぞれ次段のモジュールに供給している。この構成により、第 1 段目のモジュールでは、リセットパルス信号(PRSTN) 50によってモジュール内の複数のレジスタ40を初期化し、第 2 段目のモジュール12では、リセットが完了した第 1 段目のモジュール10から出力されるモジュールリセット信号(MRSTN) 60によってモジュール内の複数のレジスタ42をリセットし、以降、各モジュールは前段モジュールからのモジュールリセット信号(MRSTN)を受けてモジュール内部のレジスタを初期化するとともに、次段のモジュールに供給するモジュールリセット信号(MRSTN)を新たに生成し、生成したモジュールリセット信号(MRSTN)を後段のモジュールに供給する。

【 0 0 3 8 】

なお、最後段に配置されるモジュールについては、その前段に配置されたモジュールから供給されるモジュールリセット信号(MRSTN)によってモジュール内のレジスタを初期化するとよく、この場合、最後段のモジュールについては上述の制御回路30~34を備えなくてもよい。

【 0 0 3 9 】

以上説明した構成により、モジュール毎の初期化が終了するまで次段のモジュールの初期化が開始されないように構成し、初期化の実行タイミングを分散させることができるので、同一タイミングにて流れる電流の最大値を低減することができる。また、入力されるリセット信号を遅延回路のみを使用して遅延させる方式と異なって、レイアウト依存性がなくなり、LSIを設計するにあたって、リセット回路のタイミング設計が容易になる。

【 0 0 4 0 】

また、第1段目のモジュール10について、パルス発生回路22からのリセットパルス信号(PRSTN)出力によって、各レジスタ40を初期化する時間を短くすることができるので、リセット中に定常的にモジュール内にて流れる電流値を大幅に低減することができる。

【0041】

次に、本発明が適用されたりセット回路の他の実施例を図9を参照して説明する。本実施例におけるリセット回路は、クロック信号(CLK)に同期して各モジュールが初期化される同期リセット回路である。図9に示すようにリセット回路900は、大規模集積回路(LSI)内に配置される複数のモジュールを同期リセットする回路であり、LSI外部から与えられるリセット信号(RSTN)を入力する入力端子(RSTN)には制御回路902が接続され、制御回路902の出力904には遅延回路910が接続されている。この遅延回路910の出力920は第1段目のモジュール930と第2段目の遅延回路912とに接続されている。この遅延回路912の出力922は第2段目のモジュール932と次段の遅延回路914とに接続されている。遅延回路914の出力924は、モジュール934に接続されるとともに制御回路902に接続されている。

【0042】

これら制御回路902と遅延回路910, 912, 914と、各モジュール930, 932, 934とには、クロック信号(CLK)を入力するクロック端子(CLK)が接続線906を介して接続されている。複数の遅延回路910, 912, 914の各出力920, 922, 924に接続された各モジュール930~934は、クロック信号(CLK)に同期してそれぞれが同期リセットされる。LSIにはさらに多数のモジュールが備えられているが、以下の説明においては、制御回路902、遅延回路910~914およびモジュール930~934が備えられているものとして説明する。

【0043】

入力端子(RSTN)は、LSI外部よりリセット信号(RSTN)を入力する入力端子であり、リセット信号(RSTN)は、入力"1"のときが通常状態で、入力"0"のときクロック信号CLKに同期してLSIの内部回路を初期化する。

【0044】

制御回路902は、図10に示すようにセット／リセットタイプのフリップフロップ940を含み、リセット信号(RSTN)を入力(RN)に入力し、遅延回路914の出力924を入力(SN)に入力する。フリップフロップ940は、リセット信号(RSTN)が"0"（立ち下がり）を検出するとリセットして出力904に出力"0"を出力する。次に、制御回路902は最後段に配置されるモジュール934に対応して備えられる遅延回路914の出力924を接続し、遅延回路914の出力信号924の"0"（立ち下がり）を検出するとセットして出力904に出力"1"を出力する。

【0045】

図9に戻って遅延回路910, 912, 914は、クロック信号(CLK) 906の立ち上がりに同期して入力信号を取り込み、その入力レベルを所定の遅れ時間分遅延して出力する回路である。遅延回路910は、制御回路902の出力904を入力し、この入力レベルを次のクロックタイミングにて遅延リセット信号920として出力する。次段の遅延回路912は、その前段の遅延回路910から出力される遅延リセット信号920を入力し、これをさらに次のクロックタイミングにて遅延リセット信号922として出力922に出力する。本実施例にて最後段に配置される遅延回路914も同様に、前段の遅延回路912から遅延して出力される遅延リセット信号922を入力し、これをさらに遅延した遅延リセット信号924を出力する。この出力924は、モジュール934と制御回路902とに接続されて、制御回路902は、この最終段の遅延回路914からの遅延リセット信号924の立ち下がりを検出すると"1"を出力904に出力する。

【0046】

このように各段のモジュールに接続される遅延回路はそれぞれ直列接続されており、各段のモジュールは、各遅延回路の接続順に応じてクロックタイミングごとに遅延出力される遅延リセット信号をそれぞれ入力する。

【0047】

モジュール930~934は、LSIの機能ブロックであり、LSI内部に複数配置されている。各モジュール内部には、複数のレジスタ回路950, 952, 954がそれぞれ配置されている。レジスタ回路950の構成を図11に示す。レジスタ回路950は、遅延回路910からの遅延リセット

信号920を入力し、この信号920と、LSI内部から供給されるデータ入力958との論理積を論理回路960にて演算し、その演算出力をレジスタ962に入力する。レジスタ962はクロック信号(CLK) 906の立ち上がり同期して、入力920とデータ入力958との論理積を取り込んで出力する。よって入力920に"0"が入力されるとクロック信号(CLK) 906の立ち上がり同期して"0"がレジスタ962に取り込まれ初期化が完了される。

【0048】

また、各遅延回路910~914の出力920~924が"1"のとき、モジュールは不定を出力し、出力920~924が"0"になるとクロック信号(CLK) 906の立ち上がり同期してモジュール930~934はそれぞれ初期化される。その後、出力920~924が"1"になるとクロック信号(CLK) 906の立ち上がり同期して、モジュール930~934はリセットが解除され通常状態になる。

【0049】

以上の構成でリセット回路900の動作を図12を参照して説明する。同図には、リセット回路の動作を表すタイムチャートが示されている。

【0050】

入力端子(RSTN)へのリセット信号が入力されて"1"から"0"に変化すると制御回路902は、遅延回路910に"0"を出力する。この制御回路902の出力"0"は、最終段に配置されたモジュール934に対する遅延リセット信号924が入力されるまでの期間、リセット信号に応じた出力値を保持している制御信号として機能する。

【0051】

ここで、クロック信号CLKがクロック端子(CLK)に供給されて入力端子(RSTN)が"1"になると、クロック信号CLKの立ち上がり同期して、遅延リセット信号920が遅延回路910から出力される。この遅延リセット信号920は、モジュール930のレジスタ回路950に入力されてレジスタ回路950が初期化される。遅延リセット信号920は、また、次段の遅延回路912に入力される。

【0052】

遅延回路912では、この遅延リセット信号920を次のクロック信号(CLK)の立ち上がり同期して所定時間遅延し、その遅延した遅延リセット信号922が遅延回路912から出力される。この遅延リセット信号922は、モジュール932のレジスタ回路952に入力されてレジスタ回路952が初期化される。この遅延リセット信号922も同様にして次段の遅延回路914に入力されて、所定時間遅延した遅延リセット信号924がモジュール934のレジスタ回路954に入力されて、レジスタ934が初期化される。この最終段の遅延回路914にて生成した遅延リセット信号924は、制御回路902に出力され、制御回路902では、遅延回路914から出力された"0"の遅延リセット信号924を入力すると"1"を出力904に出力する。

【0053】

このようにして各段に配置されたモジュール内の各レジスタが、各遅延回路から出力される遅延リセット信号が入力されることによって順次初期化されて順次通常の初期状態になる。

【0054】

このように、モジュール毎にリセットがかかるタイミングがずれるように構成しているため、各モジュールを初期化する際に、同図に示すように、一度に流れる電流量が低減されて消費電流の最大値を低減することができる。また、本実施例では、電源投入時などのLSI立ち上げ時に、LSIの外部より入力されるリセット信号がクロック信号(CLK)の入力以前に入力された場合であっても、クロック信号が入力した後に内部モジュールに対し順次同期リセットすることができる。

【0055】

なお、図1に示したリセット回路20と、図9に示したリセット回路900とを同一のLSIに配置して、同LSI内に配置される各モジュールをそれぞれ初期化するように構成することができる。この構成例を図13に示す。図示するように、図1に示したリセット回路20の出力64を図9に示したリセット回路900内の制御回路902に接続して、モジュールリセット信

号(MRSTN)を制御回路902に入力する構成である。

【0056】

このような構成により図14に示すように、リセット回路20によって複数のモジュール10, 12, ..., 14が初期化され、さらにモジュール14から出力されるモジュールリセット信号64 (MRSTN)がリセット回路900に入力されると、複数の各モジュール930, 932, ..., 934がクロックに同期して順次初期化される。

【0057】

このように本実施例では、非同期系モジュールと同期系モジュールとが混在してLSI内に配置されている構成において、入力端子に入力される一つのリセット信号に応動して非同期リセットと同期リセットとを実施可能である。モジュール毎に順次初期化動作が行われるので、初期化動作中における所定タイミングにおいて消費電流値を大幅に低減することができる。

【図面の簡単な説明】

【0058】

【図1】 本発明によるリセット回路の実施例を示すブロック図である。

【図2】 パルス発生回路の構成例を示す図である。

【図3】 パルス発生回路の他の構成例を示す図である。

【図4】 制御回路の構成例を示す図である。

【図5】 次段の制御回路の構成例を示す図である。

【図6】 モジュールリセット信号(MRSTN)の生成動作を示すタイミングチャートである。

【図7】 モジュールリセット信号(MRSTN)の生成動作を示すタイミングチャートである。

【図8】 各モジュールのリセット期間を示すタイミングチャートである。

【図9】 リセット回路の他の実施例を示すブロック図である。

【図10】 制御回路の構成例を示す図である。

【図11】 レジスタ回路の構成例を示す図である。

【図12】 リセット回路の動作を示すタイミングチャートと消費電流を示す図である。

。

【図13】 リセット回路の他の実施例を示すブロック図である。

【図14】 非同期リセットと同期リセットの動作を示すタイミングチャートである。

【符号の説明】

【0059】

10, 12, 14 モジュール

20 リセット回路

22 パルス発生回路

40, 32, 34 制御回路

40, 42, 44 レジスタ

902 制御回路

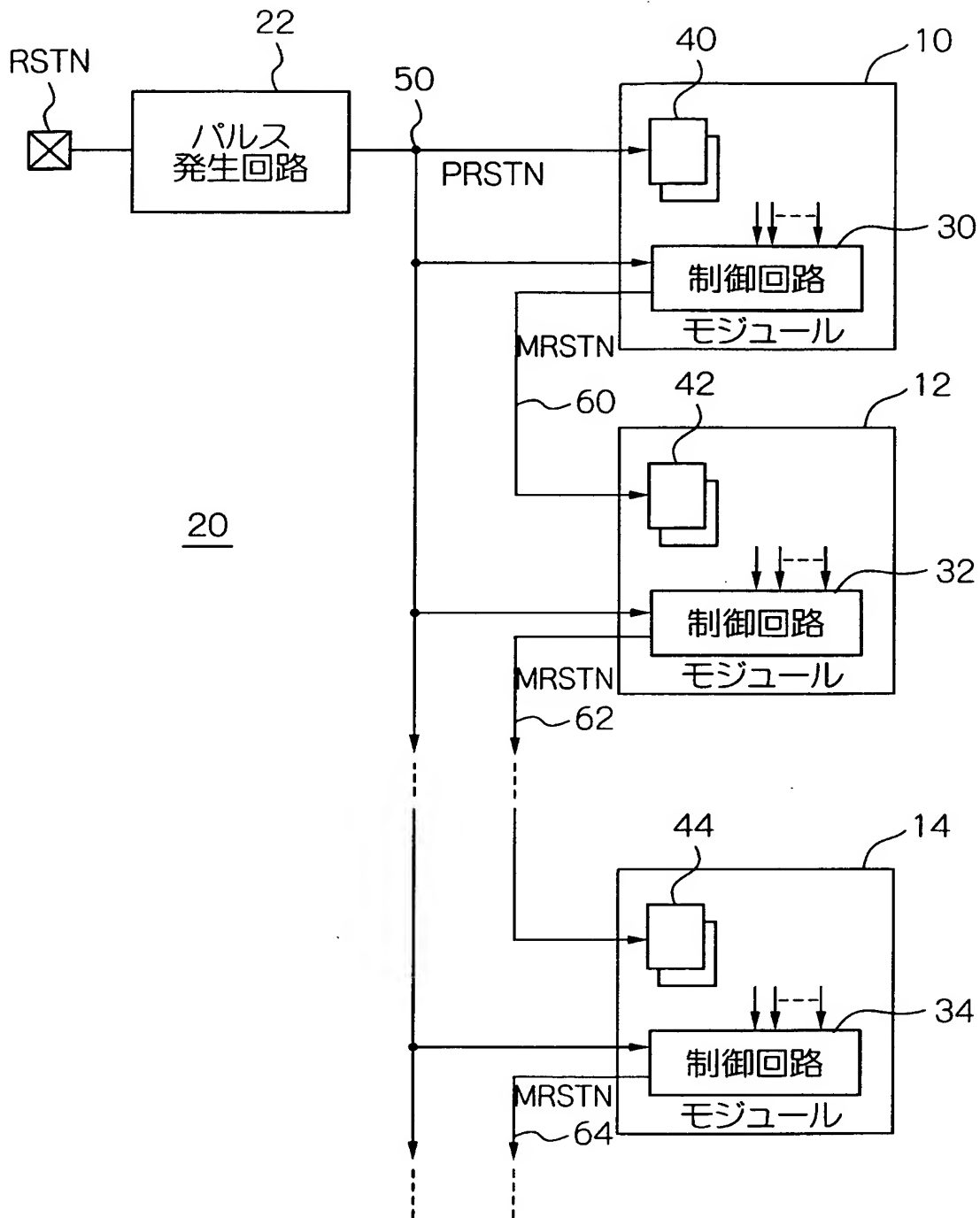
910, 912, 914 遅延回路

930, 932, 934 モジュール

RSTN 入力端子

CLK クロック端子

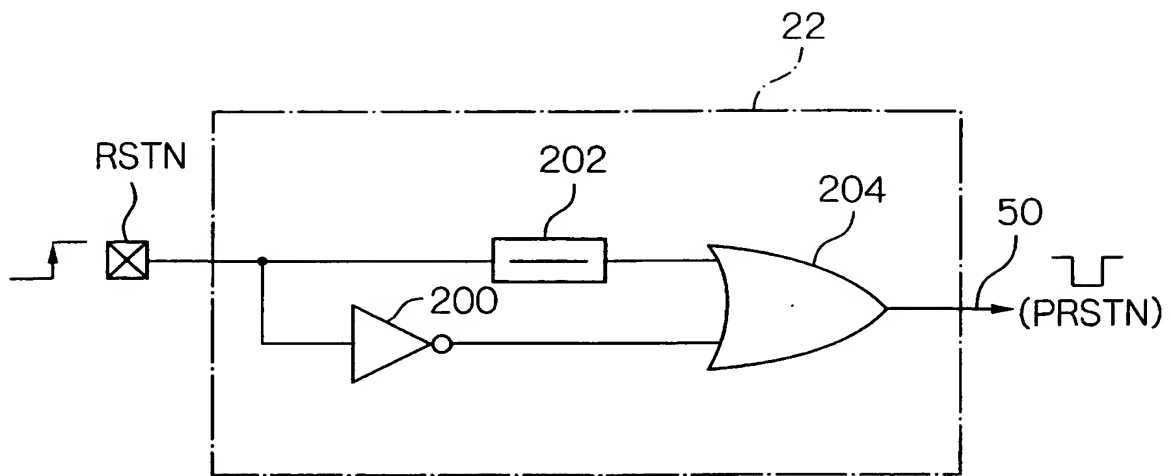
【書類名】 図面
【図 1】



20

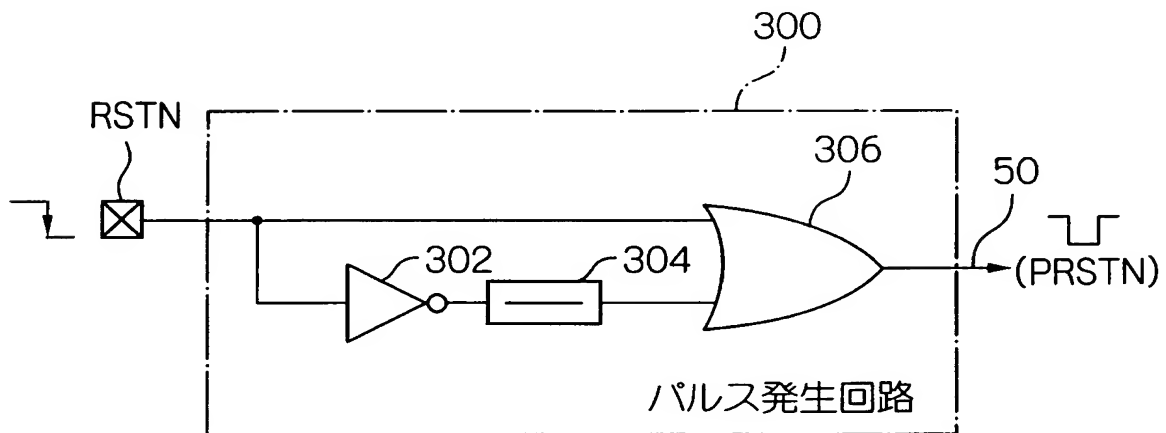
リセット回路の実施例

【図 2】



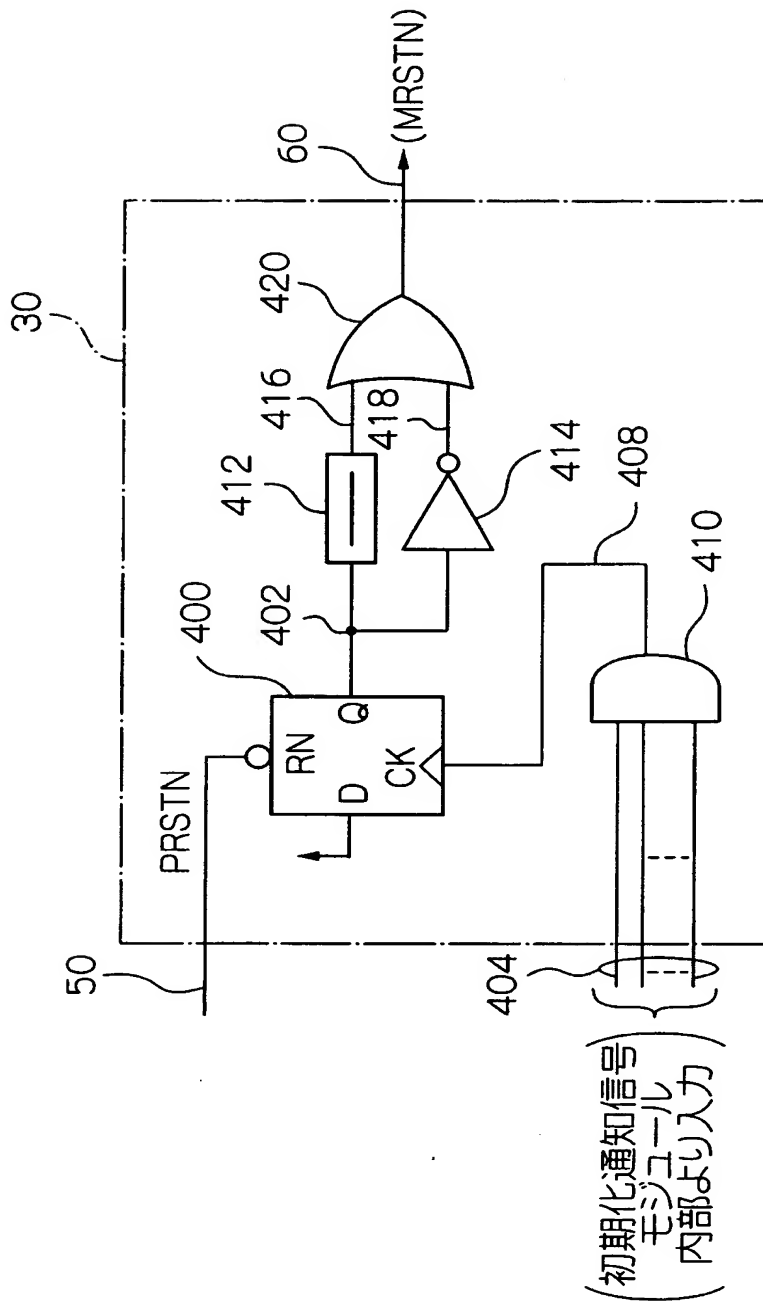
パルス発生回路の構成例

【図 3】



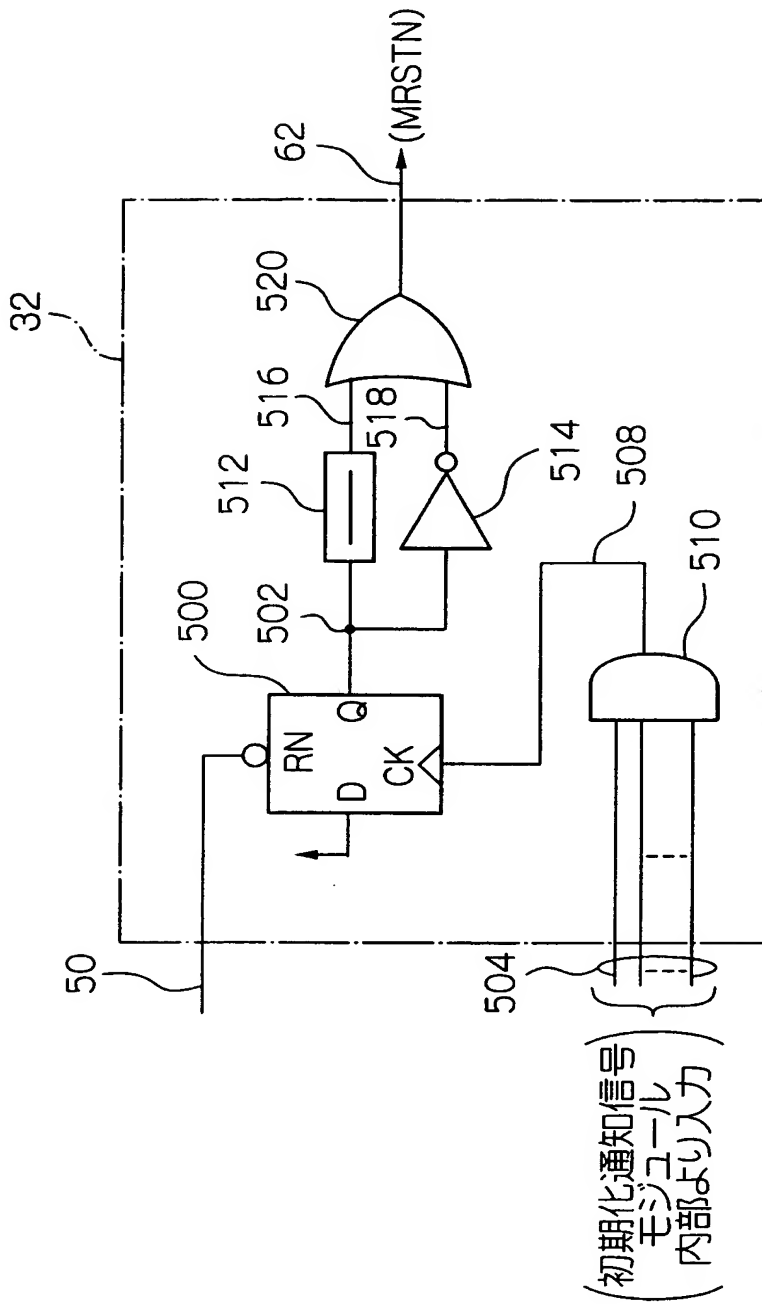
パルス発生回路の他の構成例

【図 4】



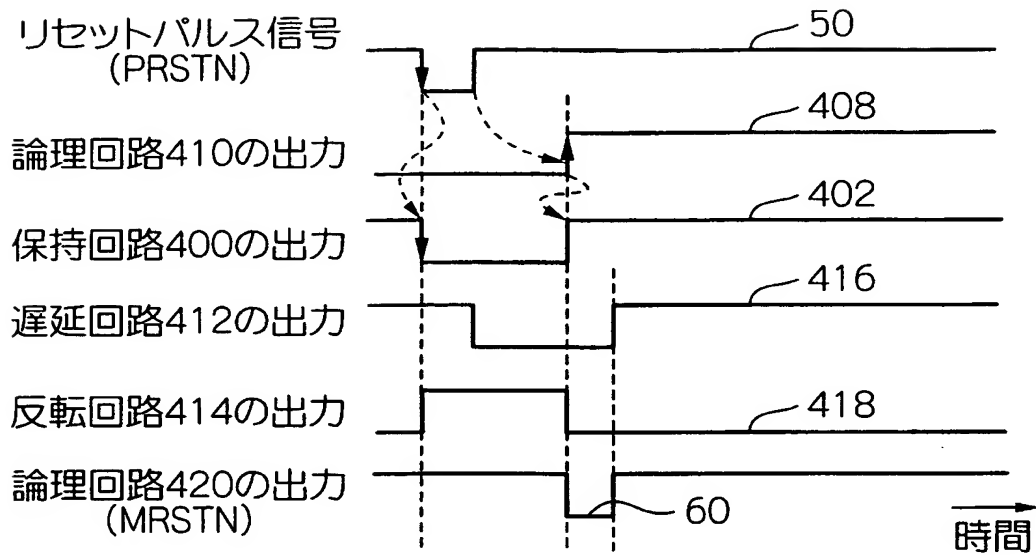
制御回路の構成例

【図 5】



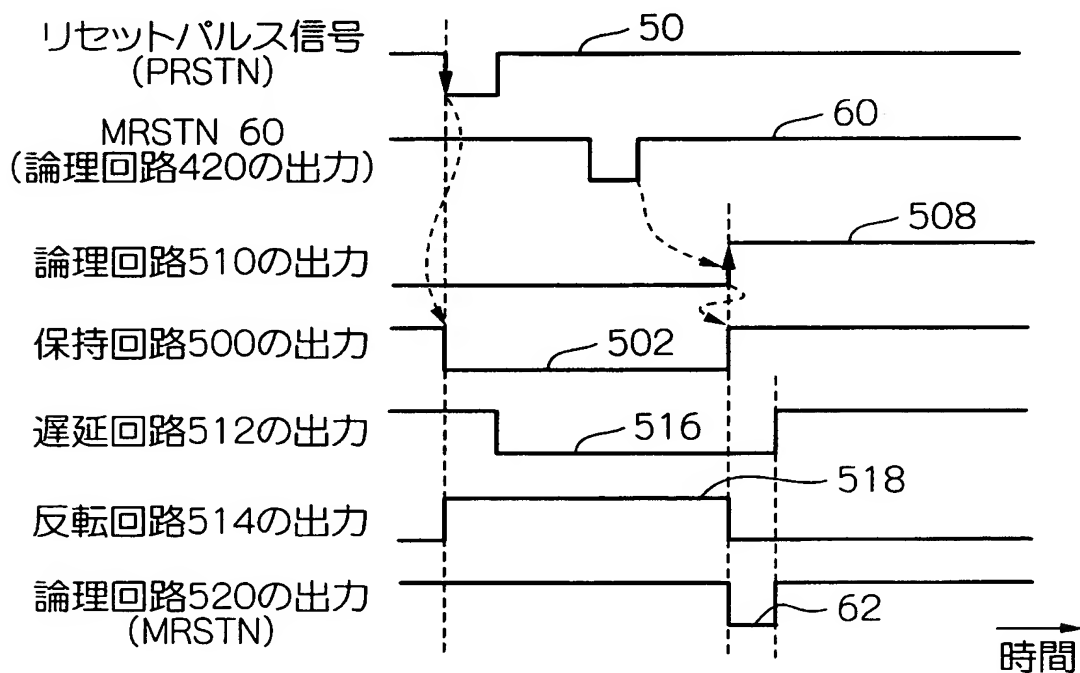
次段の制御回路の構成例

【図 6】



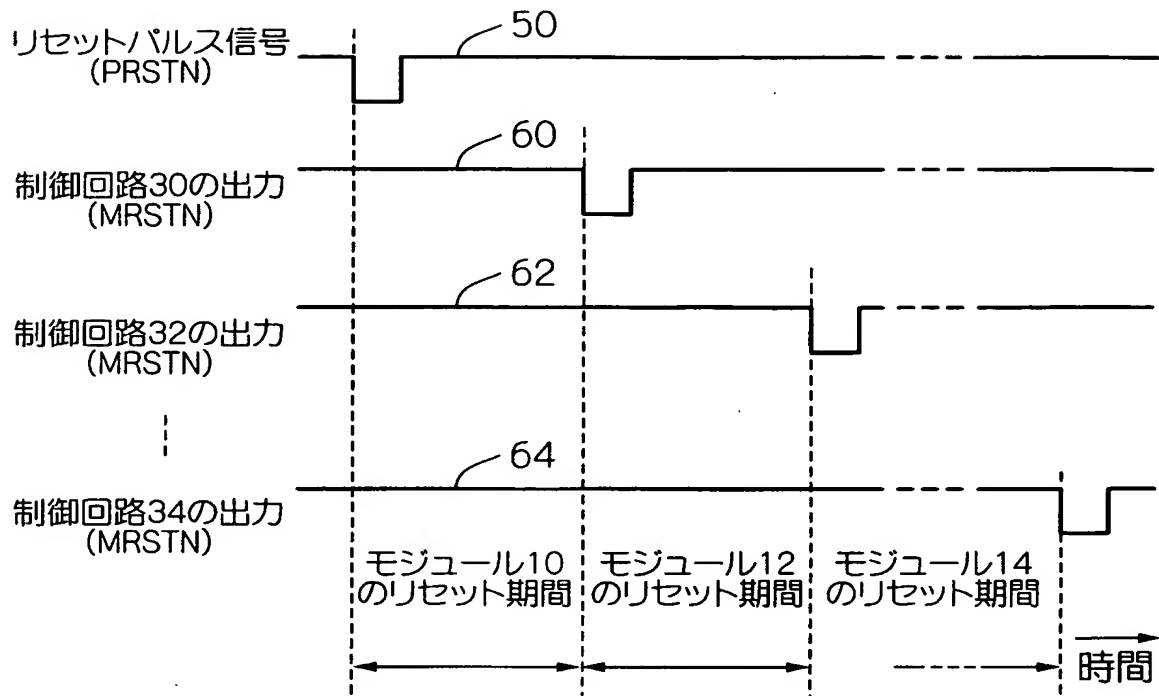
リセット信号(MRSTN)生成動作を示すタイミングチャート

【図 7】



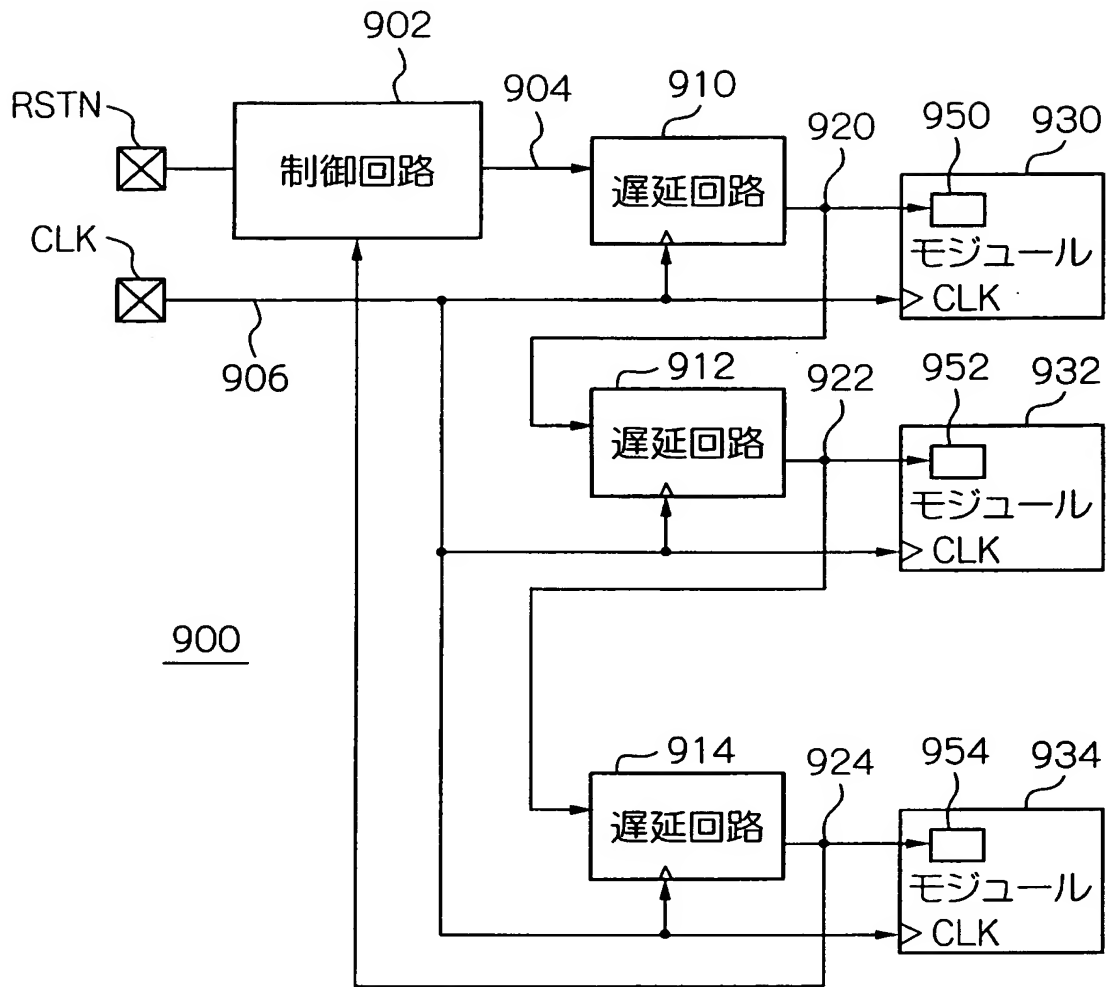
リセット信号(MRSTN)生成動作を示すタイミングチャート

【図 8】



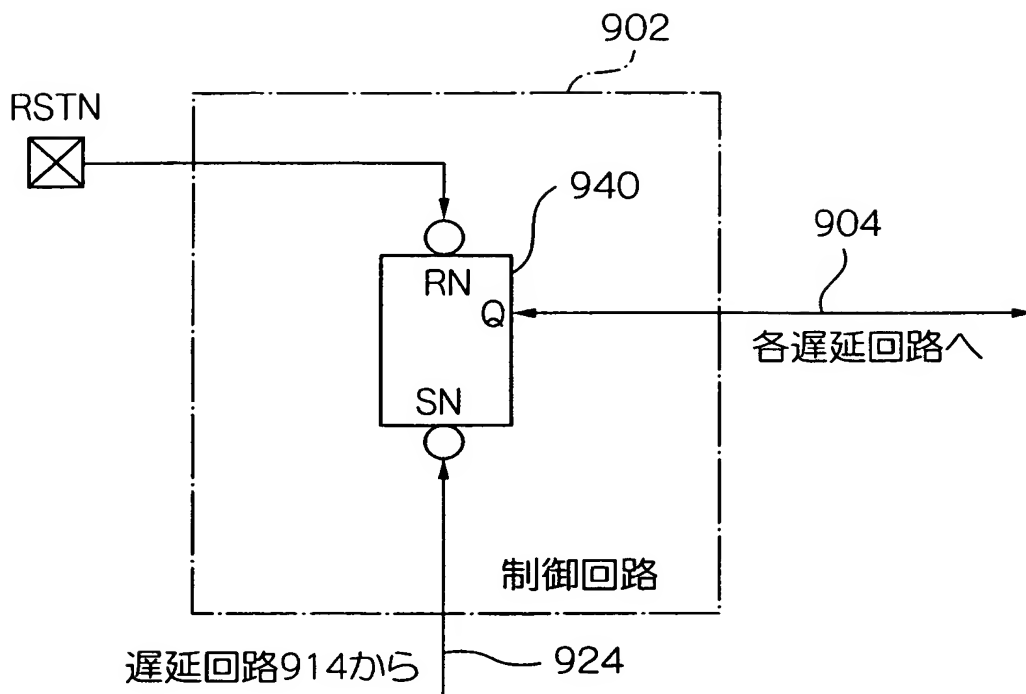
各モジュールのリセット期間を示すタイミングチャート

【図 9】

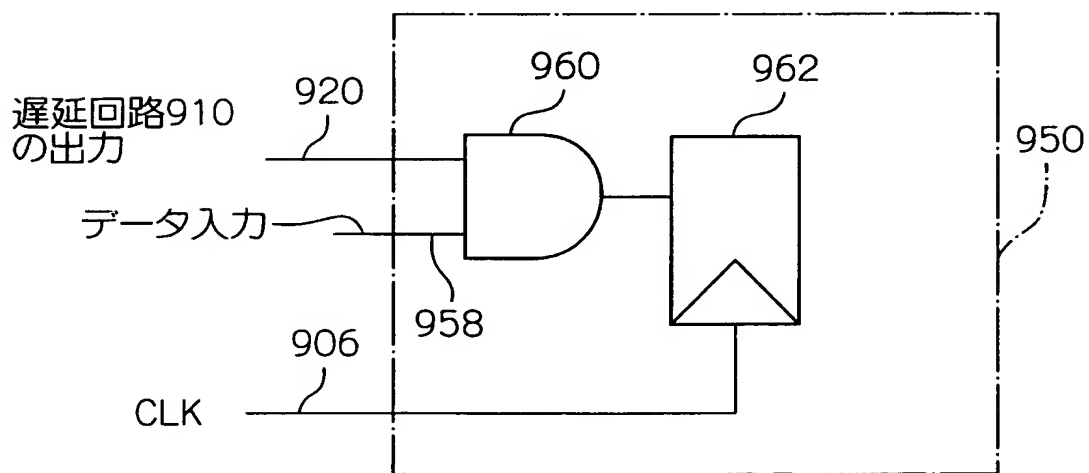


リセット回路の他の実施例

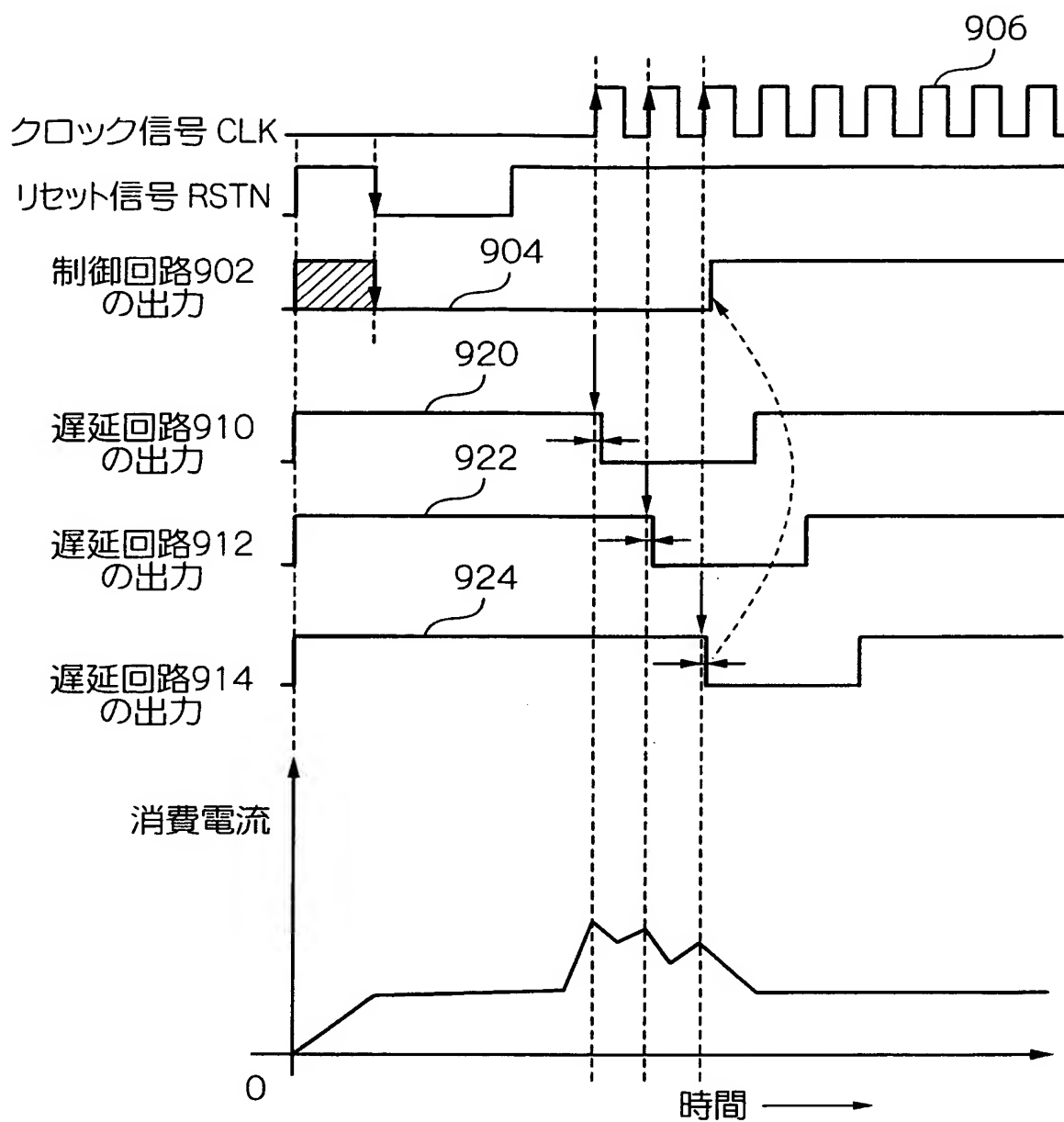
【図10】

制御回路の構成例

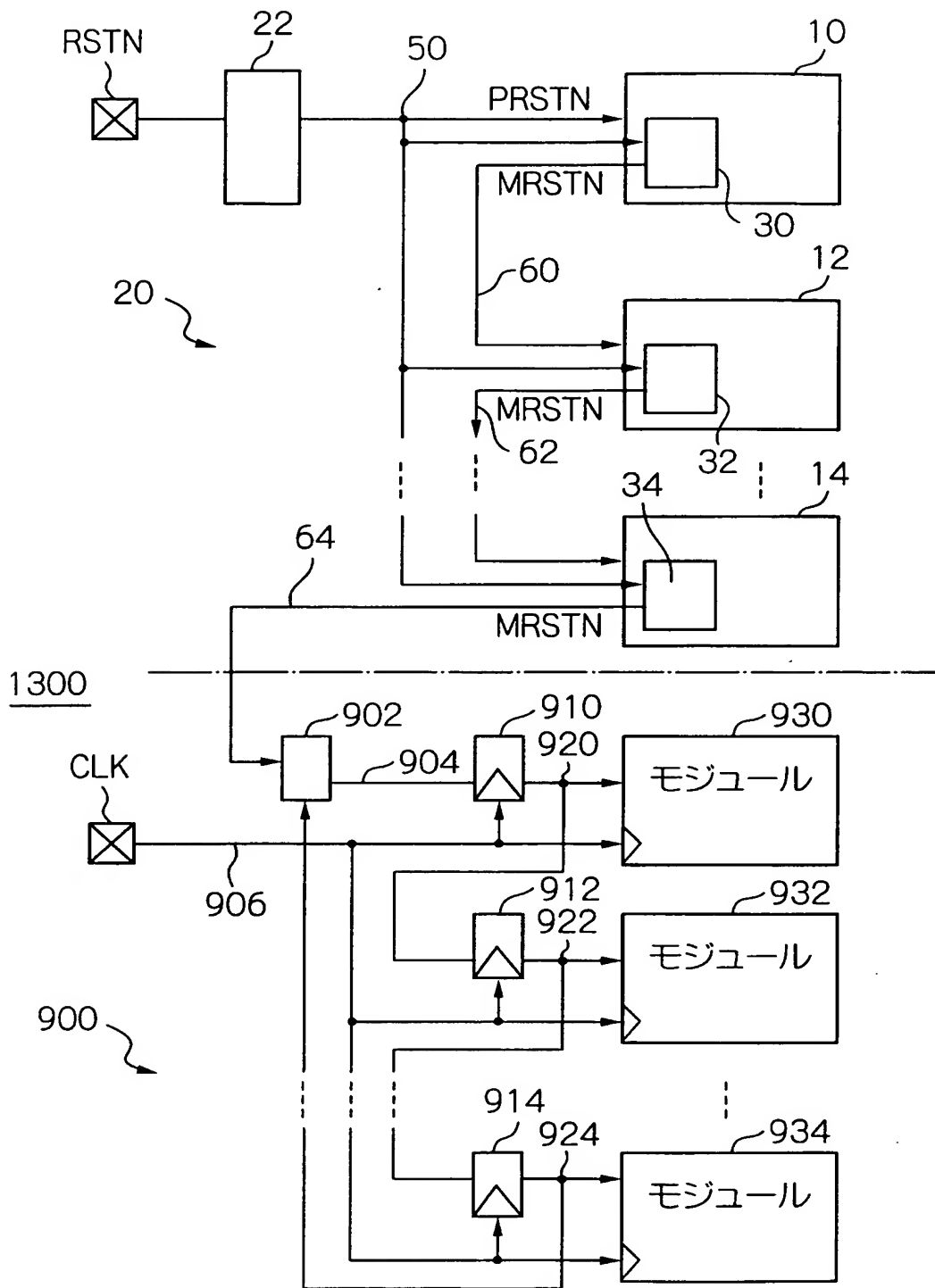
【図11】

レジスタ回路の構成例

【図 12】

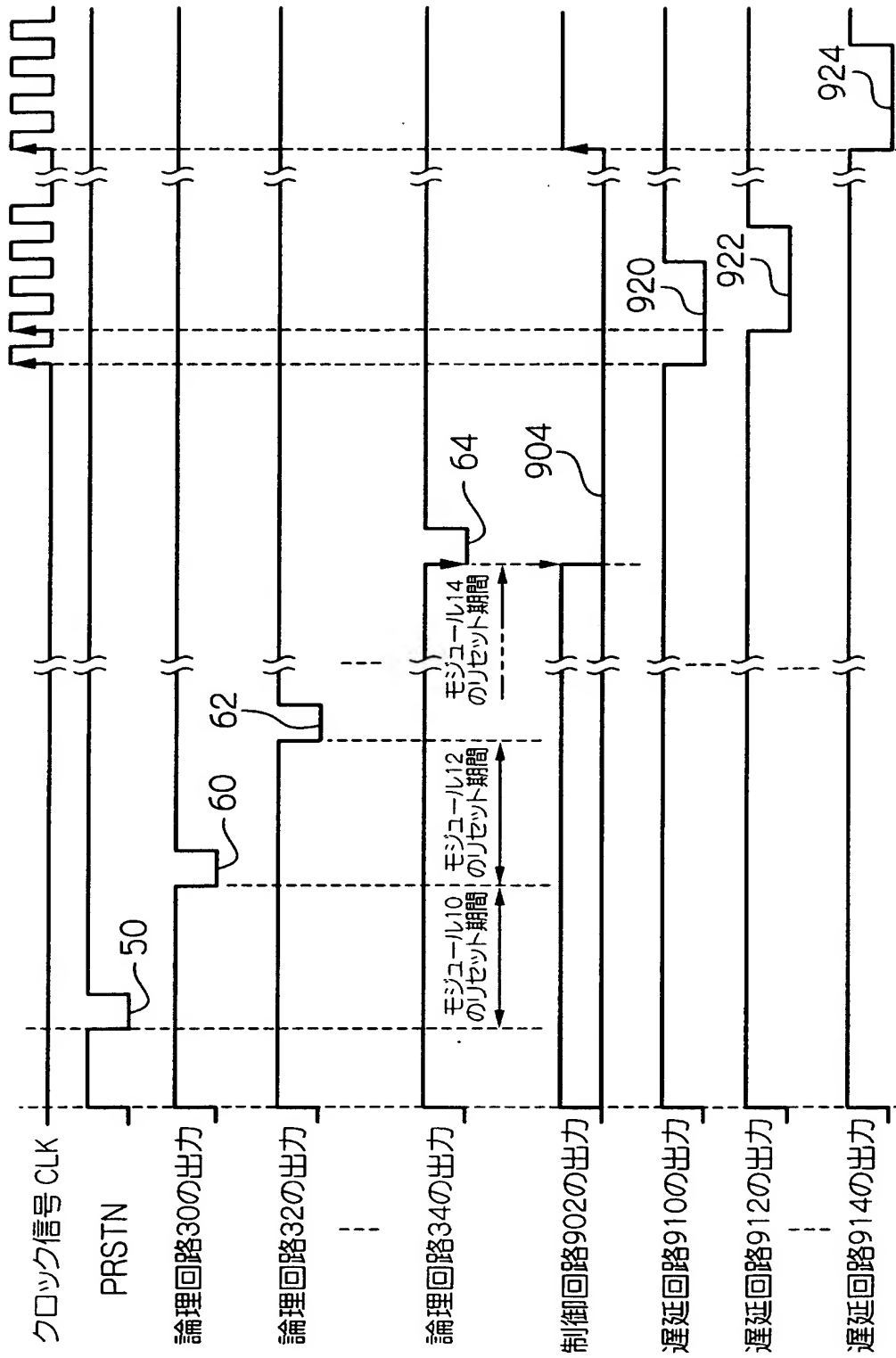
リセット回路の動作を示すタイミングチャートと消費電流

【図 13】



リセット回路の他の実施例

【図 14】



非同期リセットと同期リセットの動作を示すタイミングチャート

【書類名】 要約書**【要約】**

【課題】 リセット時の消費電流を低減させるリセット回路を提供。

【解決手段】 リセット回路20は、入力端子(RSTN)に入力するリセット信号からリセットパルス信号(PRSTN) 50を生成するパルス発生回路22が複数のモジュール10, 12, 14に接続され、モジュール10内に配置されたレジスタ40はリセットパルス信号(PRSTN) 50によって初期化され、次段のモジュール12内に配置されたレジスタ42は、前段のモジュール10に配置された制御回路30から出力されるモジュールリセット信号(MRSTN) 60によって初期化され、次段以降のたとえばモジュール14内に配置されたレジスタ44は、前段のモジュール12内に配置された制御回路32から出力されるモジュールリセット信号(MRSTN)によって初期化される。

【選択図】 図 1

特願 2 0 0 3 - 3 9 7 7 6 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社